

PAT-NO: JP405102482A

DOCUMENT-IDENTIFIER: JP 05102482 A

TITLE: STRUCTURE OF PMOSFET AND ITS
MANUFACTURING METHOD

PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:

NAME

HAYASHI, TAKANAO

OONO, MORIFUMI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP03260705

APPL-DATE: October 8, 1991

INT-CL (IPC): H01L029/784, H01L021/336

ABSTRACT:

PURPOSE: To form a PMOSFET in less manhours, in excellent yield rate, and at low cost by enabling the formation of a p-layer for forming gate drain overlap structure to be executed by thermal diffusion.

CONSTITUTION: A gate SiO₂ film 15 is made as a gate insulating film on an n-type silicon substrate 11. The section being one part of the gate SiO₂ film and the channel planned area of the board 11 is changed into a insulating oxynitride film 21 by being nitrided by N₂O or NH₃. And a gate electrode 27 is made, which

contains p-type impurities so that it may cover the insulating oxynitride film 21 and jut out over to the gate SiO_2 film 15 parts on both sides in the longitudinal direction of a channel. And, BF_3 ions are implanted and annealed, and p-type impurities 37 are diffused from the gate electrode 27 to the board 11 so as to form a p-type diffusion layer 39. What is more, boron 37 passes the gate SiO_2 film 15 and diffuses into the board 11, but the oxynitride film 12 checks the passage of boron 37, so boron does not diffuse to the board 11 below it.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-102482

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

21/336

8225-4M

H 0 1 L 29/ 78

3 0 1 X

8225-4M

3 0 1 P

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平3-260705
(22)出願日 平成3年(1991)10月8日

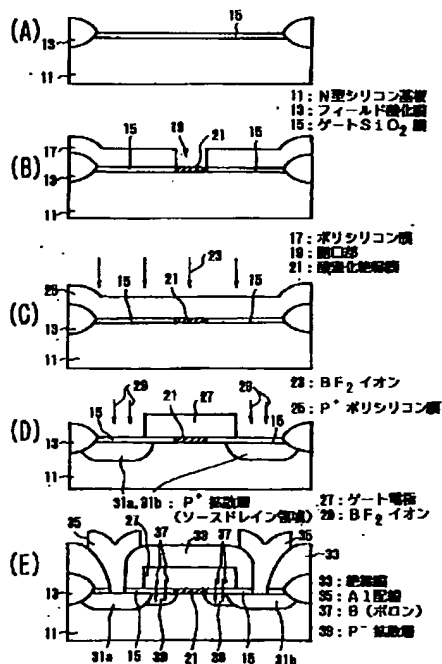
(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72)発明者 林 孝尚
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(72)発明者 大野 守▲史▼
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 PMOSFETの構造およびその製造方法

(57)【要約】

【目的】 PMOSFETにゲート・ドレインオーバーラップ構造を採用する製造プロセスは技術的に複雑となるため、この問題を解決する製造方法、および構造を提供する。

【構成】 PMOSFETにおいて、その構造をゲート・ドレインオーバーラップ構造とすることを特徴とするが、ゲート絶縁膜であるSiO₂膜を形成した後、チャネル部分の上部に当たるSiO₂膜のみをN₂O、NH₃等により窒化させ、チャネル部分にはボロンが突き抜けないようにし、チャネル部分以外はボロンを突き抜けて、P⁻層を形成することにより、ゲート・ドレインオーバーラップ構造を形成する。



ゲート・ドレインオーバーラップ構造のPMOSFET製造工程図

1

【特許請求の範囲】

【請求項1】 下地上にゲート絶縁膜を介在させてP⁺ポリシリコンのゲート電極を設けてなる前記ゲート絶縁膜の一部分を酸化窒化絶縁膜としたゲート・ドレインオーバーラップ構造を採ることを特徴とするPMOSFETの構造。

【請求項2】 請求項1に記載のPMOSFETを製造する方法において、

(a) 下地上にゲート絶縁膜としてゲート酸化膜を形成する工程と、

(b) 該ゲート酸化膜の一部分であって、前記下地のチャネルとなるチャネル予定領域上の部分を酸化窒化絶縁膜に変える工程と、

(c) 該酸化窒化絶縁膜を覆い、かつこの酸化窒化絶縁膜からチャネル長方向の両側のゲート酸化膜部分上にはみ出すようにP型不純物を含有するゲート電極を形成する工程と、

(d) 前記(c)工程後のアニール時に、前記ゲート電極から前記ゲート酸化膜部分を経て前記下地中へ前記P型不純物を拡散して、前記下地中にP⁻型拡散層を形成する工程とを含むことを特徴とするPMOSFETの製造方法。

【請求項3】 請求項2に記載の製造方法において、亜酸化窒素(N₂O)またはアンモニア(NH₃)を用いて前記ゲート酸化膜を窒化することにより行うことを特徴とする製造方法。

【請求項4】 請求項2に記載の製造方法において、前記P型不純物をボロン(B)とすることを特徴とする製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、MIS型電界効果型トランジスタ、特にPMOSFETの構造およびその製造方法に関する。

【0002】

【従来の技術】P⁺ポリシリコンをゲート電極とするPMOSFETにおいても、素子の微細化に伴いホットキャリアによる素子劣化が問題となって来た。

【0003】そこで、発明者はホットキャリアの発生を防止するため、NMOSFETと同様、PMOSFETについてもゲート・ドレインオーバーラップ構造を採用することを考えた。

【0004】従来、NMOSFETにおけるゲート・ドレインオーバーラップ構造の採用は文献 米国電子電気技術者協会誌(IEEE IEDM Tech. Dig., pp38-41, 1987)に報告されている。この文献①に開示されている構造を図2の(A)および(B)に要部断面図で示す。図2の(A)は、旧来型の構造であり、N⁻層の上は主としてサイドウォールである。これに対し図2の(B)は、従来の改良型の構造で

2

あり、ゲート電極をN⁻層の上まで延ばし、高信頼性、高駆動能力を得ている。

【0005】なお、図2の(B)において、基板を100、N⁺層を112、N⁻層を114、ゲート絶縁膜を116、ゲート電極の上部を118a、およびその下部を118b、サイドウォールを120としてそれぞれ示してある。

【0006】また、ゲート絶縁膜については、従来シリコン基板を酸化したSiO₂が用いられて来たが、その例が文献②(IEEE IEDM Tech. Dig., pp425-428, 1990)に開示されている。この文献②に開示されている構造を図3に断面図で示す。この構造によれば、基板130上にゲート絶縁膜のSiO₂を形成した後、さらに亜酸化窒素(N₂O)またはアンモニア(NH₃)により窒化した酸化窒化絶縁膜132が提案されている。この酸化窒化絶縁膜132は従来のSiO₂膜に比べ電気的なストレスに対し信頼性が高いことが、同文献に報告されている。なお、134はゲート電極であって、136はゲート電極134に含まれているボロン(B)の不純物イオンであり、138はN⁺層である。

【0007】ところで、通常ゲート絶縁膜としてSiO₂膜を使用しているため、P⁺ポリシリコンをゲート電極としたPMOSFETにおいてはゲート電極中に存在する不純物であるボロンが基板へ突き抜ける現象が起きていた。このボロンの突き抜けは、ボロンの拡散速度が速いことに起因して生じ、この突き抜けのため、PMOSFETの特性が変動してしまう。

【0008】ところが、この文献②にはこのような突き抜け現象は、ゲート酸化膜を窒化処理することによって抑制されることが示されている。この点につき以下簡単に説明する。

【0009】すなわち、図4(図4は文献②のFig4から引用)では、SIMS(2次イオン化質量分析)による基板表面からの深さとボロン濃度の分析結果を示す実験データで、窒化処理を行った試料のデータIおよびIIからシリコン基板にボロンが突き抜けていないことがわかる。一方、窒化処理を行っていない試料のデータIから、1.0×10¹⁷(1.0×10¹⁰の17乗)(原子/cm³(cmの3乗))程度のボロン原子が突き抜けていることがわかる。

【0010】また、図5(図5は文献②中、Fig8(a)から引用)は、PMOSFETについて、ドレイン電圧V_d=-3.0VおよびV_d=-0.1Vの場合につきゲート電圧とドレイン電流の曲線IおよびIIをそれぞれ示しており、これらの曲線IおよびIIから、N₂Oで酸化窒化処理を行ったP⁺ポリシリコンゲートのPMOSFETは良好なトランジスタ特性を示すことがわかる。

【0011】

50

【発明が解決しようとする課題】しかしながら、PMOSFETにゲート・ドレインオーバーラップ構造を採用する製造プロセスは技術的に複雑となるため、工程数が増え、コスト、歩留まりの点で問題がある。

【0012】そこで、この発明は上記の点を解決する製造方法、および構造を提供するものである。

【0013】

【課題を解決するための手段】この目的の達成を図るため、この発明のPMOSFETの構造によれば、下地上にゲート絶縁膜を介在させてP⁺ポリシリコンのゲート電極を設けてなる前記ゲート絶縁膜の一部分を酸化窒化絶縁膜としたゲート・ドレインオーバーラップ構造を採ることを特徴とする。

【0014】また、この発明のPMOSFETの製造方法によれば、(a)下地上にゲート絶縁膜としてゲート酸化膜を形成する工程と、(b)該ゲート酸化膜の一部分であって、前記下地のチャネルとなるチャネル予定領域上の部分を酸化窒化絶縁膜に変える工程と、(c)該酸化窒化絶縁膜を覆い、かつこの酸化窒化絶縁膜からチャネル長方向の両側のゲート酸化膜部分上にはみ出すようにP型不純物を含有するゲート電極を形成する工程と、

(d)前記(c)工程後のアニール時に、前記ゲート電極から前記ゲート酸化膜部分を経て前記下地中へ前記P型不純物を拡散して、前記下地中にP型拡散層を形成する工程とを含むことを特徴とする。

【0015】この発明の実施に当たり、好ましくは、請求項2の(b)工程を、亜酸化窒素(N₂O)またはアンモニア(NH₃)を用いて前記ゲート酸化膜を窒化することにより行い、P型不純物はボロン(B)とするのがよい。

【0016】

【作用】上述したこの発明の構成によれば、ゲート電極の下側であって、ゲート電極の中央部側に、ゲート長よりも短い長さのゲート酸化膜部分を酸化窒化絶縁膜に変えている。従って、ゲート絶縁膜はこの酸化窒化絶縁膜とそのゲート長方向の両側のゲート酸化膜部分とで構成される。この酸化窒化絶縁膜はゲート電極中のP型不純物の熱拡散による移動をストップさせる作用を有している。

【0017】このためゲート・ドレインオーバーラップ構造を形成するためのP⁺層の形成を、ゲート電極形成後の所要のアニール工程時にゲート電極からゲート酸化膜部分を通して下地へ熱拡散させて形成することができる。

【0018】このように、この発明によれば、イオン注入を用いずに熱拡散でP⁺層を形成できるので、従来よりも製造工程数が少なくなり、またゲート絶縁膜を損傷することがなく、しかも通常の技術の組み合わせにより低コストで歩留まりよく製造できる。

【0019】

【実施例】以下図面を参照して、この発明の実施例を説

明する。なお、この図は、この発明が理解できる程度に各構成成分の形状、寸法および配置関係を概略的に示してあるに過ぎない。また図において断面を表すハッチング等は一部分を省略して示してある。

【0020】以下の説明においては、この発明のPMOSFETの製造方法を主として説明し、この説明によりPMOSFETの構造も容易に理解できるので、重複する説明は省略する。

【0021】図1の(A)～(E)は、この発明のゲート・ドレインオーバーラップ構造のPMOSFET(P型MOS電界効果型トランジスタ)の製造方法の一実施例を説明するための工程図であり、各図は主要工程段階で得られた構造体を断面の切り口で示してある。

【0022】まず、この説明では、下地上にゲート絶縁膜としてゲート酸化膜を形成する。このため、この実施例では下地としてN型シリコン(Si)基板11を用意する。そしてこのN型シリコン基板11に、通常の素子分離法によりフィールド酸化膜13を形成する。次に、アクティブ領域となる基板表面上にゲート絶縁膜としてゲートSiO₂膜15を、例えば6nmの膜厚となるように熱酸化、あるいはCVD法等の方法により成膜する。このようにして形成した構造体を図1の(A)に示す。

【0023】次に、この発明では、このゲート酸化膜であるSiO₂膜15の一部分を酸化窒化絶縁膜21に変える。そのため図1の(A)の構造体の上側全面に、後の窒化時のマスクとなるような膜、例えばポリシリコン膜17を堆積する。

【0024】そして通常のホトリソグラフィおよびエッチング技術を用いて、下地としての基板11のMOSFETのチャネル予定領域上方に位置しているポリシリコン膜部分を除去して開口部19を形成する。

【0025】その後、N₂OまたはNH₃雰囲気中開口部19に露出しているゲートSiO₂膜部分を窒化することにより、このSiO₂膜を酸化窒化絶縁膜21に変えて、図1の(B)に示すような構造体を得る。

【0026】なお、図中、この窒化処理でSiO₂のまま残存しているゲート酸化膜部分も15で示してある。

【0027】次に、この発明ではP型不純物を含有したゲート電極27を形成する。そのため、まず、前工程で設けたポリシリコン膜17を全て除去する。その後、再び全面にポリシリコン膜を堆積し、このポリシリコン膜に対してP型不純物として作用する任意適当なイオン、例えばボロン(B)を含ませるためBF₂イオン(フッ化ホウ素イオン)23を注入し、これによりP⁺ポリシリコン膜25を形成する。この状態にある構造体を図1の(C)に示す。

【0028】次に、このP⁺ポリシリコン層25をパターニングして、ゲート電極27を形成する。このときP型不純物を含有するゲート電極27は酸化窒化絶縁膜21

5

の上側を覆っていると共に、ゲート長方向に、この酸化絶縁膜21からはみ出してゲートSiO₂膜の一部分上にまで延在するように形成する。

【0029】この後、フィールド酸化膜13およびゲート電極27をマスクとして用いてBF₃イオン29を注入することにより、基板11中にP⁺領域(ソース・ドレイン領域)31aおよび31bをそれぞれを形成する。その結果得られた構造体を図1の(D)に示す。

【0030】次にこの発明では、アニールにより、ゲート電極27からP型不純物37を、基板11に拡散させる。

【0031】この実施例の工程では上述したP⁺領域の形成に続いてソース・ドレイン活性化のためのアニールを、例えば窒素雰囲気中で約900℃の温度で30分間行う。この高温のアニールによって、P型不純物としてのボロン(B)37がゲートSiO₂膜部分15を通して基板11中に拡散するが、酸化絶縁膜21はこのボロン(B)37の通過を阻止するので、この酸化絶縁膜21の下側の基板11の領域にはボロンは拡散しない。

【0032】その後、絶縁膜33を形成した後、コンタクトホールを開ける。ここで絶縁膜33およびコンタクトホールを形成する際に高温の熱処理(例えば900℃、20分のアニールを2回程度)を行う。これら一連のアニールによりP⁻拡散層が形成される。その後、通常の蒸着法によりAl(アルミニウム)配線35を形成する。このようにして製造されたPMOSFETの構造体を図1の(E)に示す。

【0033】このPMOSFETの構造は下地としての基板11上にゲート絶縁膜(15、21)を介在させて、P⁺シリコンのゲート電極27を具えており、このゲート絶縁膜の一部分が酸化絶縁膜21となっており、そして、全体としてゲート・ドレインオーバーラップ構造となっている。

【0034】上述したこの発明の実施例によれば、ゲート電極を形成した後、MOSFETの完成までには、高温処理が数回にわたって行われる。この時、既に説明した通り、ゲート電極27中の不純物であるボロン37がゲートSiO₂膜部分15を突き抜け、シリコン基板11へ拡散し、P⁻拡散層39を形成する。従って、この発明では、P⁻拡散層39形成のための特別の加熱は行わなくてもよい。

【0035】また、従来技術の項で既に述べたように、酸化絶縁膜21はボロンの突き抜けを抑制することができるので、酸化絶縁膜6の下のシリコン基板11の

6

領域にボロンは拡散しない。よってチャネル予定領域には不純物が拡散または侵入しておらず、従ってPMOSFETの特性に劣化をきたさない。

【0036】そして、上述したこの発明の一連の工程により、ゲート・ドレインオーバーラップ構造のPMOSFETを容易かつ低コストで形成できる。

【0037】

【発明の効果】上述したこの発明の説明から明らかなように、この発明のPMOSFETの構造およびその製造方法によれば、① P⁻層がイオン注入なしで形成でき、工程数が少なくなること、② P⁻層の形成がイオン注入によるのではなく、拡散による形成であるので、P⁻層上のゲート絶縁膜への損傷がないこと、および③ 複雑で高度な技術を用いず、従来技術の組み合わせにより容易に形成できることという利益を奏することができる。

【図面の簡単な説明】

【図1】この発明によるゲート・ドレインオーバーラップ構造のPMOSFETの製造工程図である。

20 【図2】ゲート・ドレインオーバーラップ構造の説明図である。

【図3】P⁺シリコン層のボロンの基板への突き抜けを説明する説明図である。

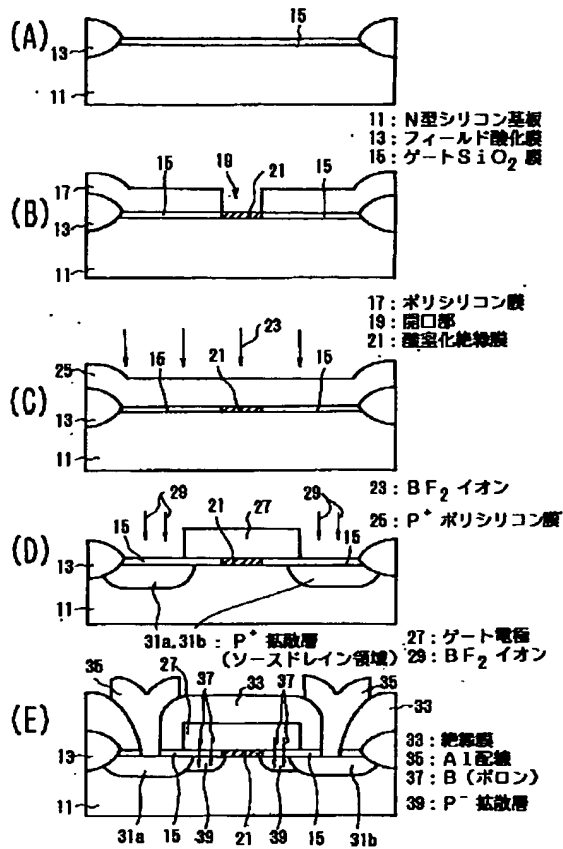
【図4】SIMSによる基板深さにおけるボロン濃度を示すグラフである。

【図5】酸化処理を行ったP⁺ポリシリコンゲートのPMOSFETのトランジスタ特性を示すグラフである。

【符号の説明】

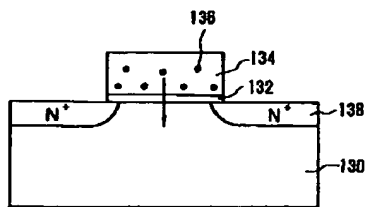
- 30 11 N型シリコン基板
- 13 フィールド酸化膜
- 15 ゲートSiO₂膜
- 17 ポリシリコン膜
- 19 開口部
- 21 酸化絶縁膜
- 23 BF₃イオン
- 25 P⁺ポリシリコン膜
- 27 ゲート電極
- 29 BF₃イオン
- 40 31a P⁺拡散層(ソース・ドレイン領域)
- 31b P⁺拡散層(ソース・ドレイン領域)
- 33 絶縁膜
- 35 Al(アルミニウム)配線
- 37 B(ボロン)
- 39 P⁻拡散層

【図1】

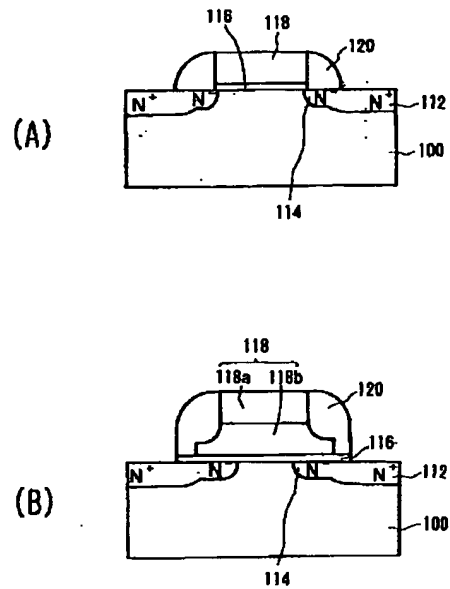


ゲート・ドレインオーバーラップ構造のPMOSFET製造工程図

【図3】

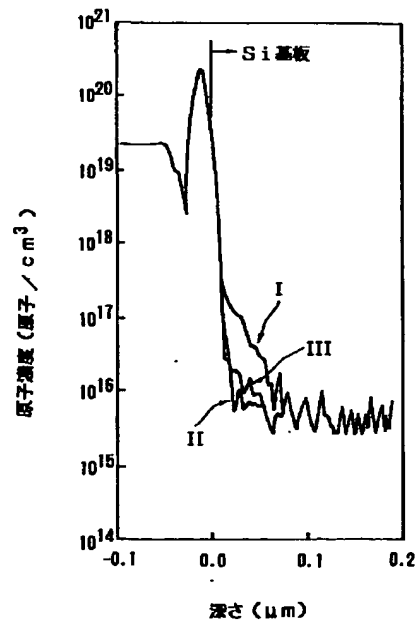
P⁺ シリコン層のボロンの基板への付き抜け説明図

【図2】



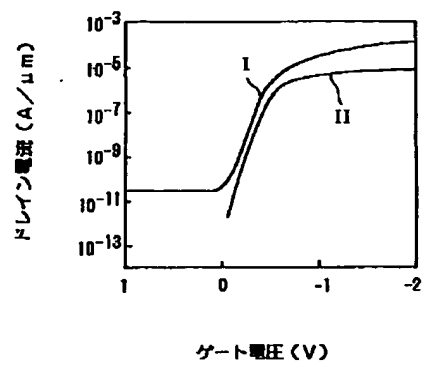
ゲート・ドレインオーバーラップ構造説明図

【図4】



SIMSによる基板深さにおけるボロン濃度

【図5】



酸窒化処理PMOSFETのトランジスタ特性